

Vertikaler Nano-Transistor, Verfahren zu seiner Herstellung und Speicheranordnung

5

Beschreibung

Die Erfindung betrifft einen vertikalen Nano-Transistor, ein Verfahren zu
10 seiner Herstellung und eine Speicheranordnung.

In der DE-OS 101 42 913 ist eine mechanischen Beanspruchungen durch Biegung, Scherung oder Dehnung gut widerstehende Transistoranordnung beschrieben, bei der in Mikrolöchern eines Folienverbundes, der aus zwei
15 Kunststofffolien mit zwischenliegender Metallschicht besteht, vertikal Halbleitermaterial eingebracht ist. Das Halbleitermaterial ist mit metallischen Kontakten auf der Ober- und Unterseite des Folienverbundes versehen. Hierbei ist jedoch das Aufbringen einer Metallschicht auf eine Kunststofffolie nicht einfach handhabbar; außerdem umfasst das Verfahren zur Herstellung
20 einer solchen vertikalen Transistoranordnung eine Vielzahl von einzelnen Verfahrensschritten.

Auch der in US 2002/0001905 beschriebene vertikale Nano-Transistor ist in seiner Herstellung aufwändig und kompliziert, da zunächst auf einem teuren
25 Halbleiter-Substrat, das nicht flexibel ist, ein Source-Bereich und darauf eine isolierende Schicht aufgebracht wird. In der isolierenden Schicht (Al_2O_3 oder Si) sind Löcher im nm-Bereich angeordnet und in diesen Löchern sind vertikal ausgerichtete Kohlenstoff-Nanoröhren eingebracht. Der Gate-Bereich ist über der isolierenden Schicht um die Kohlenstoff-Nanoröhren angeordnet, dieser
30 ist bis auf die obere Deckfläche der Nanoröhren ausgefüllt mit einem nichtleitenden Material. Das Ausbilden des Gate-Bereichs um die Nanoröhren und das Erhalten dieser Nanoröhren mit gleichen Durchmessern während des

Auffüllens erweist sich als sehr schwierig. Dies kann zur Folge haben, dass vertikale Transistor-Anordnungen entstehen, die wegen der unterschiedlichen Durchmesser der jeweils zugehörigen Nanoröhre auch unterschiedliche Charakteristiken aufweisen.

5

Aufgabe der Erfindung ist es deshalb, einen vertikalen Nano-Transistor anzugeben, der mechanischen Beanspruchungen gut widersteht und in seiner Herstellung weniger aufwändig ist, als bisher dem Stand der Technik nach bekannt. Außerdem soll ein Herstellungsverfahren angegeben werden sowie

10

eine Speicheranordnung.

Die Aufgabe wird erfindungsgemäß dadurch gelöst, dass ein vertikaler Nano-Transistor angegeben wird mit einem Source-Bereich, mit einem Drain-Bereich, mit einem Gate-Bereich und mit einem halbleitenden Kanalbereich

15 zwischen dem Source-Bereich und dem Drain-Bereich, wobei der Gate-Bereich durch eine Metallfolie gebildet ist, in die der Transistor derart eingebettet ist, dass der Gate-Bereich und der halbleitende Kanalbereich eine koaxiale Struktur bilden und der Source-Bereich, der halbleitende Kanalbereich und der Drain-Bereich in vertikaler Richtung angeordnet sind

20 und der Gate-Bereich eine elektrische Isolierung zum Source-Bereich, zum Drain-Bereich und zum halbleitenden Kanalbereich aufweist.

In der erfindungsgemäßen Lösung bildet eine extrem dünne Metallfolie den Gate-Bereich. Es entfällt das schwierige Aufbringen einer Metallschicht auf

25 eine Kunststoffolie; außerdem müssen die einzelnen Folien nicht wie in der erwähnten Lösung zu einem Folienverbund zusammengefügt werden. Die Dichte der für die zu bildende koaxiale Struktur in die Metallfolie eingebrachten Löcher ist sehr hoch.

30 In Ausführungsformen der Erfindung ist vorgesehen, den halbleitenden Kanalbereich zylinderförmig auszubilden. Der Durchmesser des halbleitenden Kanalbereiches beträgt einige Zehn bis einige Hundert Nanometer. Das

Material des halbleitenden Kanalbereiches ist CuSCN oder TiO_2 oder PbS oder ZnO oder ein anderer Verbindungshalbleiter.

Die Dicke der den vertikalen Gate-Bereich bildenden Metallfolie beträgt
5 weniger als 100 μm , vorzugsweise 5 bis 20 μm . Die Metallfolie ist im Vergleich zur Kunststofffolie gleichmäßiger in ihrer Höhe, wodurch bei der geringen Dicke gewährleistet ist, dass die eingebrachten Löcher auch wirklich durch die Folie durchgehen. Außerdem ist die erfindungsgemäße Anordnung durch die sehr dünne Metallfolie sehr widerstandsfähig gegenüber mechanischen
10 Beanspruchungen.

Eine andere Ausführungsform sieht vor, dass die Dicke der elektrischen Isolierung in dem Kanalbereich einige bis einige Hundert Nanometer beträgt. Die Dicke der Isolationsschicht auf der Ober- und Unterseite der Metallfolie
15 beträgt einige Mikrometer. Die Isolationsschicht kann durch bekannte Verfahren der Dünnschicht-Technik aufgebracht werden.

Als Material für den Source- und den Drain-Bereich ist Au oder Ag oder Cu oder Ni oder Al vorgesehen. Der Source- und Drain-Bereich kann punktförmig
20 ausgebildet sein.

Die erfindungsgemäße Lösung umfasst auch eine Speicheranordnung, bei der eine Vielzahl vertikaler Nano-Transistoren mit den im Anspruch 1 beschriebenen Merkmalen nebeneinander in einer Metallfolie angeordnet
25 sind.

Das erfindungsgemäße Verfahren zur Herstellung vertikaler Nano-Transistorengemäß Anspruch 1, umfasst mindestens die Verfahrensschritte: Erzeugen von Löchern in einer den Gate-Bereich des Transistors bildenden
30 dünnen Metallfolie zur Ausbildung des Kanalbereiches, Einbringen von Isolatormaterial an die Wandung der Löcher, Aufbringen von Isolatormaterial auf der Ober- und Unterseite der Metallfolie, Einbringen von halbleitendem

Material in die isolierten Löcher zur Bildung des halbleitenden Kanalbereiches, Aufbringen von Kontakten zur Ausbildung des Source- und Draine-Bereiches.

In Ausführungsformen zum erfindungsgemäßen Verfahren ist vorgesehen, die
5 Löcher in der Metallfolie mittels fokussierter Ionenstrahlen oder mittels Laserstrahl zu erzeugen.

Das Isolatormaterial wird mittels Dünnschichttechnologie oder mittels Vakuumfiltration einer Polymerlösung auf die Wandung der Löcher und auf
10 Ober- und Unterseite der Metallfolie aufgebracht.

In anderen Ausführungsformen der Erfindung ist vorgesehen, das Halbleitermaterial, wobei CuSCN oder TiO₂ oder PbS oder ZnO oder ein anderer Verbindungshalbleiter verwendet werden kann, mittels
15 elektrochemischer Badabscheidung oder chemischer Deposition oder mittels ILGAR-Verfahren in die isolierten Löcher der Metallfolie einzubringen.

Das Herstellungsverfahren für die erfindungsgemäße vertikale Nano-Transistor-Anordnung ist einfach und passt sich in die bekannten
20 Dünnschichttechnologien ein. Aufgrund der erfindungsgemäßen Anordnung ist eine Begrenzung auf bestimmte Temperaturen im Herstellungsverfahren nicht mehr notwendig.

Die Erfindung soll in folgendem Ausführungsbeispiel anhand einer Zeichnung
25 näher erläutert werden.

Diese Zeichnung zeigt die Herstellungsschritte erfindungsgemäßer vertikaler Nano-Transistoren, die in eine Metallfolie eingebettet sind.

30 Zunächst werden in eine Metallfolie 1, beispielsweise eine 30 µm dicke Al- oder Cu-Folie, mittels Laserbestrahlung Löcher 4 mit einem Durchmesser von 200 nm eingebracht. Anschließend wird eine Isolationsschicht 2 aus

organischem Material, z.B. Al_2O_3 , ZnS , SiO_2 , oder anorganischem Material, z.B. Polystyrene durch Vakuumfiltration einer Polymerlösung, auf die Wandung der Löcher 4 aufgebracht. Die Dicke dieser Schicht 2 beträgt 50 nm. Mittels bekannter Dünnschichttechniken wird anschließend auch auf der Ober- und Unterseite der Metallfolie 1 eine Isolationsschicht 2 mit einer Dicke von einigen Mikrometern aufgebracht. Danach werden die isolierten Löcher 4 in der Metallfolie 1 mit CuSCN verfüllt. Damit ist die Bildung eines halbleitenden Kanalbereiches 3 mit einem Durchmesser von 100 nm abgeschlossen. Abschließend werden metallische Kontakte als Drain- D und Source-Kontakte S aufgebracht.

Patentansprüche

1. Vertikaler Nano-Transistor
5 mit einem Source-Bereich (S),
mit einem Drain-Bereich (D),
mit einem Gate-Bereich (G) und
mit einem halbleitenden Kanalbereich (3) zwischen dem Source-Bereich (S)
und dem Drain-Bereich (D),
10 wobei der Gate-Bereich (G) durch eine Metallfolie (1) gebildet ist, in die der
Transistor derart eingebettet ist, dass der Gate-Bereich (G) und der
halbleitende Kanalbereich (3) eine koaxiale Struktur bilden und der Source-
Bereich (S), der halbleitende Kanalbereich (3) und der Drain-Bereich (D) in
vertikaler Richtung angeordnet sind und
15 der Gate-Bereich (G) eine elektrische Isolierung (2) zum Source-Bereich (S),
zum Drain-Bereich (D) und zum halbleitenden Kanalbereich (3) aufweist.
2. Transistor nach Anspruch 1,
bei dem der halbleitende Kanalbereich (3) zylinderförmig ausgebildet ist.
20
3. Transistor nach Anspruch 1,
bei dem die Dicke der den vertikalen Gate-Bereich (G) bildenden Metallfolie
(1) weniger als 100 µm, vorzugsweise 5 bis 20 µm, beträgt.
- 25 4. Transistor nach Anspruch 1,
bei dem der Durchmesser des halbleitenden Kanalbereiches (3) einige Zehn
bis einige Hundert Nanometer beträgt.
5. Transistor nach Anspruch 1,
30 bei dem die Dicke der elektrischen Isolierung (2) zwischen Gate-Bereich (G)
und halbleitendem Kanal (3) einige Zehn bis einige Hundert Nanometer
beträgt.

6. Transistor nach Anspruch 1,
bei dem die Dicke der Isolationsschicht (2) auf der Ober- und Unterseite der Metallfolie (1) einige Mikrometer beträgt.

5

7. Transistor nach Anspruch 1,
bei dem das Material des halbleitenden Kanals (3) CuSCN oder TiO₂ oder PbS oder ZnO oder ein anderer Verbindungshalbleiter ist.

10 8. Transistor nach Anspruch 1,
bei dem das Material für den Source-(S) und den Drain-Bereich (D) Au oder Ag oder Cu oder Ni oder Al ist.

9. Transistor nach Anspruch 1,
15 bei dem der Source- (S) und Drain-Bereich (D) punktförmig ausgebildet ist.

10. Speicheranordnung,
bei der eine Vielzahl vertikaler Nano-Transistoren nach mindestens einem der vorangehenden Ansprüche nebeneinander in einer Metallfolie angeordnet
20 sind.

11. Verfahren zur Herstellung vertikaler Nano-Transistoren gemäß Anspruch 1, umfassend mindestens die Verfahrensschritte

- Erzeugen von Löchern (4) in einer den Gate-Bereich (G) des Transistors bildenden dünnen Metallfolie (1) zur Ausbildung des Kanalbereiches (3),
25
- Einbringen von Isolatormaterial an die Wandung der Löcher (4),
- Aufbringen von Isolatormaterial auf der Ober- und Unterseite der Metallfolie (1),
- Einbringen von halbleitendem Material in die isolierten Löcher (4) zur
30 Bildung des halbleitenden Kanalbereiches (3),
- Aufbringen von Kontakten zur Ausbildung des Source- (S) und Drain-Bereiches (D).

12. Verfahren nach Anspruch 11,
bei dem die Löcher (4) in der Metallfolie (1) mittels fokussierter Ionenstrahlen erzeugt werden.

5

13. Verfahren nach Anspruch 11,
bei dem die Löcher (4) in der Metallfolie (1) mittels Laserstrahl erzeugt werden.

10 14. Verfahren nach Anspruch 11,
bei dem das Isolatormaterial mittels Dünnschichttechnologie auf die Ober- und Unterseite der Metallfolie (1) aufgebracht wird.

15 15. Verfahren nach Anspruch 11,
bei dem das Isolatormaterial mittels Vakuumfiltration einer Polymerlösung auf die Wandung der Löcher (4) und auf Ober- und Unterseite der Metallfolie (1) aufgebracht wird.

20 16. Verfahren nach Anspruch 11,
bei dem das Isolatormaterial mittels elektrochemischer Deposition auf die Wandung der Löcher (4) und auf Ober- und Unterseite der Metallfolie (1) aufgebracht wird.

25 17. Verfahren nach Anspruch 11,
bei dem das Isolatormaterial mittels chemischer Deposition auf die Wandung der Löcher (4) und auf Ober- und Unterseite der Metallfolie (1) aufgebracht wird.

30 18. Verfahren nach Anspruch 11,
bei dem als Material für den halbleitenden Kanalbereich (3) CuSCN oder TiO₂ oder PbS oder ZnO oder ein anderer Verbindungshalbleiter verwendet wird.

19. Verfahren nach Anspruch 11,
bei dem das Halbleitermaterial durch elektrochemische Badabscheidung in
die isolierten Löcher (4) eingebracht wird.

5 20. Verfahren nach Anspruch 11,
bei dem das Halbleitermaterial durch chemische Deposition in die isolierten
Löcher (4) eingebracht wird.

21. Verfahren nach Anspruch 11,
10 bei dem das Halbleitermaterial durch das ILGAR-Verfahren in die isolierten
Löcher (4) eingebracht wird.

22. Verfahren nach Anspruch 11,
bei dem als Material für den Source- und den Drain-Bereich Au oder Ag oder
15 Cu oder Ni oder Al verwendet wird.

1/1

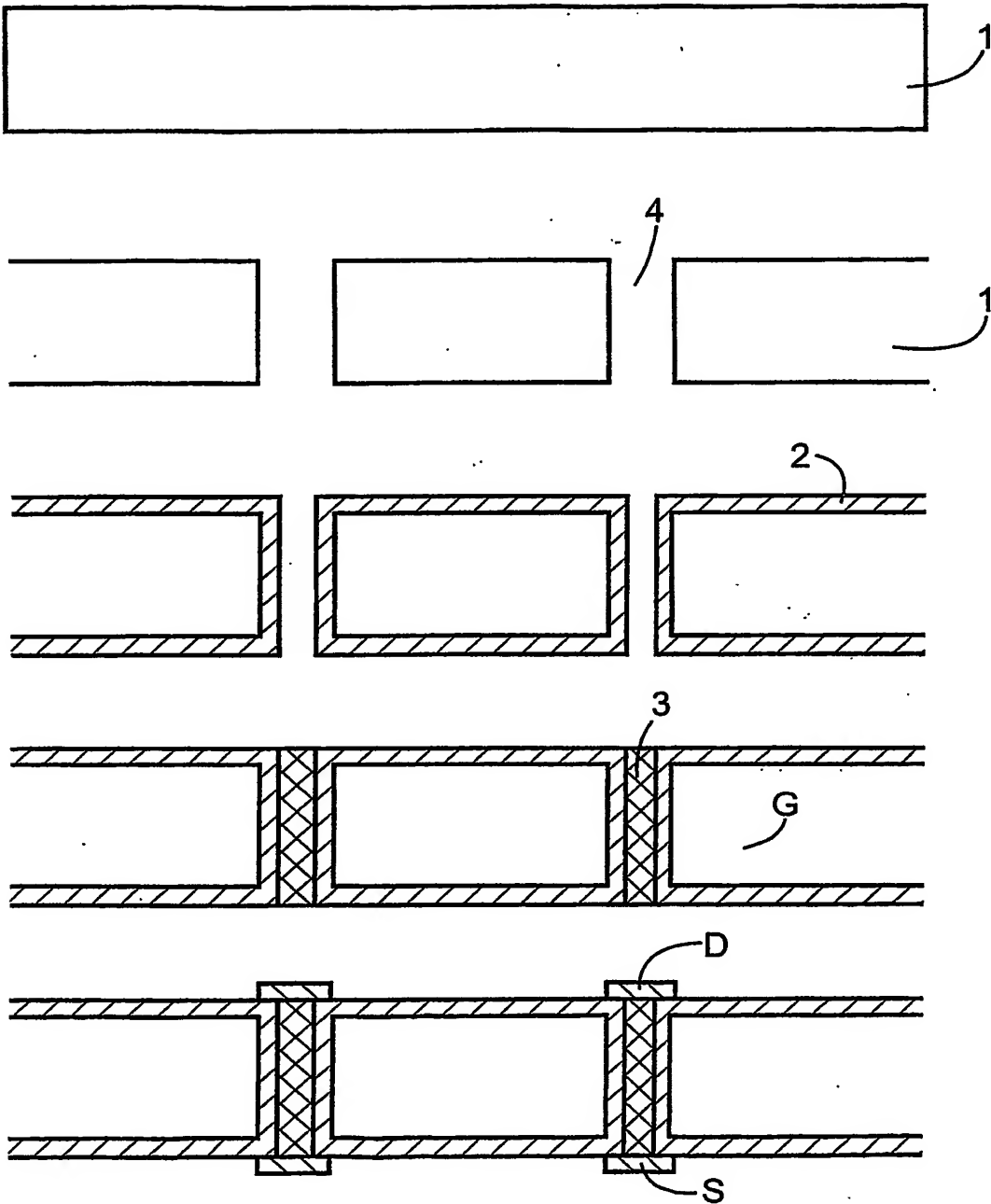


Fig.

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/001838

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/786 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 101 42 913 A (HAHN MEITNER INST BERLIN GMBH) 27 March 2003 (2003-03-27) cited in the application the whole document	1-22
X	US 6 426 259 B1 (YU BIN) 30 July 2002 (2002-07-30) column 3, line 46 - column 6, line 18; figures	1-10
X	US 5 612 563 A (FITCH JON T ET AL) 18 March 1997 (1997-03-18) column 3, line 48 - column 7, line 60; figures 1-4	1-10
	-/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *8* document member of the same patent family

Date of the actual completion of the international search

27 December 2004

Date of mailing of the international search report

18/01/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Hoffmann, N

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/001838

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>MAEDA S ET AL: "A VERTICAL -SHAPE TRANSISTOR (V T) CELL FOR 1GBIT DRAM AND BEYOND"</p> <p>SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS. HONOLULU, JUNE 7 - 9, 1994, NEW YORK, IEEE, US, vol. SYMP. 14, 7 June 1994 (1994-06-07), pages 133-134, XP000498617</p> <p>ISBN: 0-7803-1922-2</p> <p>the whole document</p>	1-10
P,A	<p>WO 2004/040666 A (HOENLEIN WOLFGANG ; LUYKEN RICHARD JOHANNES (DE); GRAHAM ANDREW (DE);) 13 May 2004 (2004-05-13)</p> <p>the whole document</p>	1-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/DE2004/001838

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 10142913	A	27-03-2003	DE 10142913 A1	27-03-2003
			WO 03026034 A1	27-03-2003
			EP 1421633 A1	26-05-2004
			US 2004201107 A1	14-10-2004
US 6426259	B1	30-07-2002	NONE	
US 5612563	A	18-03-1997	US 5308778 A	03-05-1994
			US 5286674 A	15-02-1994
			JP 6045452 A	18-02-1994
			US 5398200 A	14-03-1995
WO 2004040666	A	13-05-2004	DE 10250868 A1	19-05-2004
			WO 2004040666 A1	13-05-2004

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2004/001838

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/786 H01L21/336

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 101 42 913 A (HAHN MEITNER INST BERLIN GMBH) 27. März 2003 (2003-03-27) in der Anmeldung erwähnt das ganze Dokument	1-22
X	US 6 426 259 B1 (YU BIN) 30. Juli 2002 (2002-07-30) Spalte 3, Zeile 46 - Spalte 6, Zeile 18; Abbildungen	1-10
X	US 5 612 563 A (FITCH JON T ET AL) 18. März 1997 (1997-03-18) Spalte 3, Zeile 48 - Spalte 7, Zeile 60; Abbildungen 1-4	1-10

-/--



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

27. Dezember 2004

Absendedatum des internationalen Recherchenberichts

18/01/2005

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Beauftragter

Hoffmann, N

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	MAEDA S ET AL: "A VERTICAL -SHAPE TRANSISTOR (V T) CELL FOR 1GBIT DRAM AND BEYOND" SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS. HONOLULU, JUNE 7 - 9, 1994, NEW YORK, IEEE, US, Bd. SYMP. 14, 7. Juni 1994 (1994-06-07), Seiten 133-134, XP000498617 ISBN: 0-7803-1922-2 das ganze Dokument	1-10
P,A	WO 2004/040666 A (HOENLEIN WOLFGANG ; LUYKEN RICHARD JOHANNES (DE); GRAHAM ANDREW (DE);) 13. Mai 2004 (2004-05-13) das ganze Dokument	1-10

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001838

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 10142913	A	27-03-2003	DE 10142913 A1	27-03-2003
			WO 03026034 A1	27-03-2003
			EP 1421633 A1	26-05-2004
			US 2004201107 A1	14-10-2004
US 6426259	B1	30-07-2002	KEINE	
US 5612563	A	18-03-1997	US 5308778 A	03-05-1994
			US 5286674 A	15-02-1994
			JP 6045452 A	18-02-1994
			US 5398200 A	14-03-1995
WO 2004040666	A	13-05-2004	DE 10250868 A1	19-05-2004
			WO 2004040666 A1	13-05-2004